



探针卡nA级漏电故障判断与分析

顾吉, 陈海波

(中国电子科技集团公司第58研究所, 江苏 无锡 214035)

摘要: 针对器件测试过程中发现的nA级漏电现象进行判断和分析, 并提出解决方案。介绍了探针卡nA级漏电故障判断与分析的方法, 通过判断分析把故障原因锁定在PCB板上, 然后对PCB板进行分析测试, 分别从PCB吸潮情况、板材绝缘性能、孔列区域排布等方面进行试验。试验结果表明, PCB板制作时受到阻焊桥工艺能力的限制, 孔环间阻焊桥脱落, 孔环间基材裸露, 最终导致该板绝缘性能较差, 漏电超标。可以通过放大孔环间距或提高阻焊工艺能力的方法来保证阻焊桥的制作, 同时使用具有较高电阻率的材料, 提高PCB板的绝缘性能。

关键词: 探针卡; 漏电; PCB板

中图分类号: TN307 **文献标识码:** A **文章编号:** 1681-1070 (2015) 08-0013-04

DOI:10.16257/j.cnki.1681-1070.2015.0082

To Judge and Analyze nA Level Electric Leakage of Probe Cards

GU Ji, CHEN Haibo

(China Electronics Technology Group Corporation No.58 Research Institute, Wuxi 214035, China)

Abstract: To judge and analyze nA level electric leakage found during device test, and to put forward solutions. The article introduces the method of judging and analyzing the nA level electric leakage of probe cards. First, the author confirms that the fault falls on PCB by judging and analyzing. Then he tests the PCB by its degree of moisture, insulating property, regional arrangement of columns of holes and so on. The result shows that when PCB production is limited by resistance welding bridge technology, the resistance welding bridges among annular rings will fall off and excessive leakage. To ensure the successful production of resistance welding bridge technology, the resistance welding bridges among annular rings will fall of and the base material will be exposed in the open air, which eventually leads to poor insulating property and excessive leakage. To ensure the successful production of resistance welding bridges, they can enlarge the visionary space or improve the resistance welding technology. Also they can material of higher electrical resistivity in order to improve the insulating properly of PCB.

Key words: probe cards; electric leakage; PCB

1 引言

为了测试晶圆上的芯片, 就必须给晶圆上的芯片提供测试矢量和测试电流、电压, 同时还需要从被测芯片上采集输出信号, 这就意味着必须与芯片上的焊盘相接触。在常规制造工艺中, 焊盘的面积

比较小, 为了将焊盘上的引脚引出来, 就必须用到探针。通常的探针都是以阵列或成组的形式固定在专用的PCB板上组成探针卡, 探针卡的性能指标直接影响到晶圆测试的数值。

探针卡 (probe card) 是指晶圆测试 (wafer test) 中被测芯片 (chip) 和测试机之间的接触部件, 主要应用于芯片封装前对芯片电学性能进行初步测量, 并

筛选出不良芯片后, 再进行之后的封装工程。其原理是将探针卡上的探针与芯片上的焊垫 (pad) 或凸点 (bump) 直接接触, 导出芯片讯号, 再配合周边测试仪器与软件控制达到自动化量测晶圆的目的。它对前期测试的开发及后期量产测试的良率保证都非常重要, 是晶圆制造过程中对制造成本影响相当大的重要制程。本文针对测试过程中发现的nA级漏电现象进行判断和分析, 找到漏电原因, 并提出解决方案。

2 提出问题

2.1 器件测试

晶圆级 (未封装的裸芯片) IC器件参数测试, 首先在显微镜下识别不同的测试结构, 如图1。在测试图形中选定某宽长比的NMOSFET (或PMOSFET), 确定其漏D、栅G、源S、衬B各电极DUT PAD, 通过探针测试卡上的探针阵列, 连接到半导体参数测试仪上进行测试。其原理框图如图2所示。

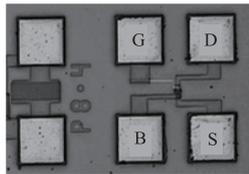


图1 器件测试图形

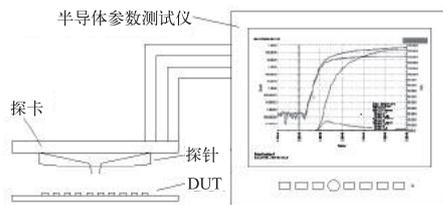


图2 测试原理图

2.2 漏电现象

在测试NMOSFET的 I_D-V_D 曲线时, 在电压为0时器件漏电较大, 测试数据异常。图3是用探针台测试的结果, 图5是用探卡测试的结果, 分别对这两张图的亚阈值区域进行放大, 得到图4和图6。从图中可以看到, 在探针台上测试的电流值在 1×10^{-12} A以下, 而用探卡测试的电流值已经接近 1×10^{-9} A, 说明探卡测试存在严重的漏电问题, 漏电量级在1 nA左右。

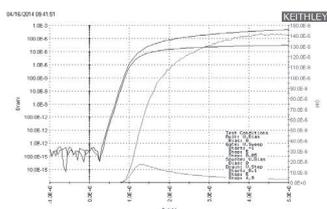


图3 探针台测试

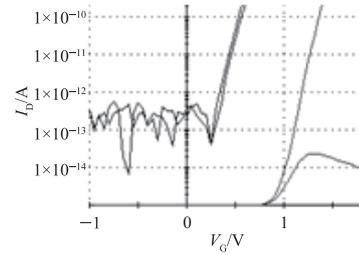


图4 图3中亚阈值区域局部放大

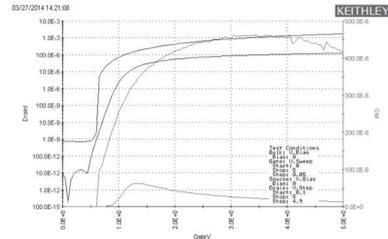


图5 探卡测试

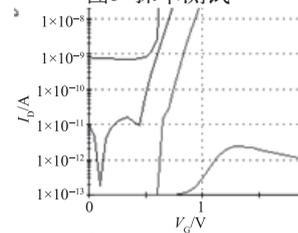


图6 图5中亚阈值区域局部放大

2.3 问题描述

首先对探卡结构进行分析, 探卡由PCB板、Ring、探针和树脂 (一种环氧树脂胶) 构成, 如图7所示。其中Ring对探针起到定位作用, 它们通过树脂固定在PCB板上, 其中Ring和树脂都是绝缘体, 可以判断PCB板实测值并不满足漏电流应小于1 pA的要求, 接下来分析造成漏电流超标的原因。PCB板外观如图8。

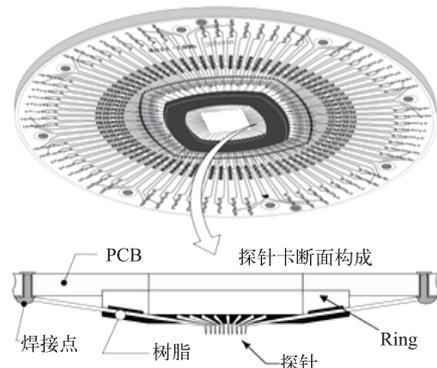


图7 探针卡的结构示意图

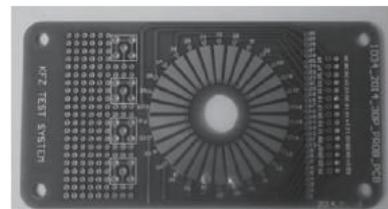


图8 样品外观

3 数据分析

3.1 初步分析

对于PCB的漏电流超标问题,也就是PCB绝缘性能偏低的问题一般从以下两方面考虑:(1)内层绝缘电阻,影响该电阻的因素有板材的体电阻率及内层导体间距、PCB吸潮;(2)外层绝缘电阻,影响该电阻的因素有板材的表电阻率及外层导体间距、阻焊介电能力。

3.2 绝缘电阻测试方法

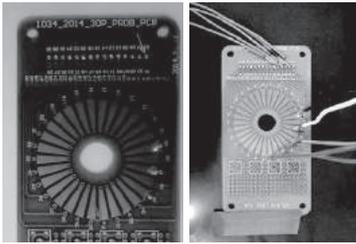


图9 测试点示意图

经观察,该板各点所在网络均通过字符标示,所以实验采用在相邻两网络间加电的方式测试绝缘电阻。如在图9左侧所示的“01”大金面相连孔环以及右侧所示的“02”孔环两端加电,以此测试“01”网络与“02”网络间的绝缘电阻。测试均采用100 V电压,充电时间300 s。

3.3 干燥前后绝缘电阻测试

对PCB进行了150℃、2 h烘烤,除去水分后进行了“11”-“20”网络的绝缘电阻测试,测试所得数据如表1所示,在除去水分后测试各点漏电流均超标,因而排除PCB吸潮导致绝缘电阻下降的可能性。

表1 干燥后测试结果

干燥后	绝缘电阻/ Ω	对应漏电流/A
11-12	2.37×10^{10}	4.22×10^{-9}
13-14	5.15×10^{10}	1.94×10^{-9}
15-16	8.49×10^9	1.18×10^{-8}
17-18	2.48×10^{10}	4.04×10^{-9}
19-20	4.97×10^{10}	2.01×10^{-9}

3.4 绝缘性较差位置定位分析

从外观上分析,如图10所示,该板有两个位置存在绝缘性较差的风险,一个是左侧的各个大焊盘区域,另一个是右侧的孔列区域。针对这两个位置分析,将左侧大焊盘以及与其相连孔环间的导线割断(万用表确认完全断开),然后进行绝缘电阻测试,由于大焊盘与其相连孔环的断开,此时测试结果即为右侧的密集孔列区域的绝缘电阻,测试结果见表2(考虑到绝缘电阻测试结果的波动性,19-20

位置引线并未处理,测试结果作为参照)。

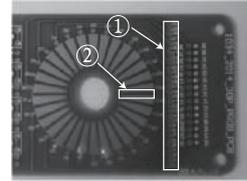


图10 分析点示意图

表2 割断引线后绝缘电阻测试结果

割断引线后	绝缘电阻/ Ω	对应漏电流/A
11-12	3.99×10^{10}	2.51×10^{-9}
13-14	7.29×10^{10}	1.37×10^{-9}
15-16	3.18×10^{10}	3.15×10^{-9}
17-18	1.21×10^{11}	8.29×10^{-10}
19-20	1.23×10^{11}	8.10×10^{-10}

如表2所示,将测试网络与大焊盘间引线割断后,绝缘电阻测试结果均没有出现较大变化,各点漏电流均超标。由此可确定,绝缘性能较差部位为图10所示的孔列区域。

3.5 孔间绝缘电阻影响因素分析

一般情况下,孔间绝缘电阻组成如图11所示,由此孔间的绝缘电阻可视为阻焊面电阻、阻焊体电阻以及板材体电阻三者的并联电阻(此时由于阻焊保护,板材面电阻未得到体现)。以上电阻值均由材料本身电阻率以及此时的导体间距决定。

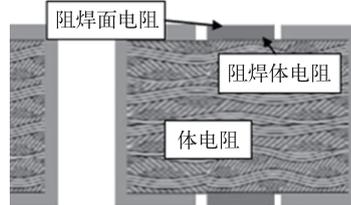
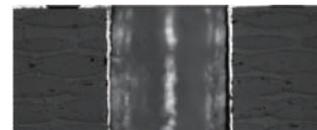


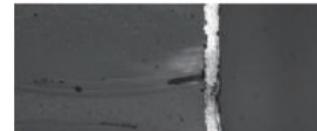
图11 孔间绝缘电阻的组成

3.6 孔列区域分析

对孔列区域进行取样并制作纵向切片,见图12。



金相显微镜下观察1



金相显微镜下观察2



孔壁间距及表面孔环间距

图12 切片分析

如图12所示,孔列区域孔的孔壁质量较好,明

场下未能观察到明显的灯芯现象（孔壁上沿玻纤方向渗入铜的长度，这个长度越小越好）。另外，测得孔壁间距约 780 μm ，而表层孔环间距约 236 μm 。

3.7 孔壁间距影响分析

采用如图13所示的串联孔链结构试板（为区分上面所提的PCB板，在这里称为试板）进行不同孔壁间距孔阵列的绝缘电阻测试，绝缘电阻测试数据如表3所示。

表3 不同孔壁间距绝缘电阻测试数据

孔壁间距/mm	绝缘电阻/ Ω	对应漏电流/A
0.65	9.33×10^{13}	1.072×10^{-12}
0.6	5.21×10^{15}	1.919×10^{-14}
0.55	9.07×10^{13}	1.103×10^{-12}
0.5	1.30×10^{15}	7.692×10^{-14}
0.45	9.07×10^{13}	1.103×10^{-12}
0.4	3.23×10^{13}	3.096×10^{-12}
0.35	5.29×10^{12}	1.890×10^{-11}
0.3	9.17×10^{11}	1.091×10^{-10}
0.25	7.57×10^{11}	1.321×10^{-10}
0.2	2.73×10^{11}	3.663×10^{-10}

如表3所示，孔链的绝缘电阻随着孔壁间距的减小而减小，在试板选用板材条件下，当间距达到0.4 mm以上时其漏电流值即可满足要求。而原PCB板孔壁间距为0.78 mm，因而判断该板的绝缘性能差不是由于内层导体间距（即孔壁间距）过小所致。

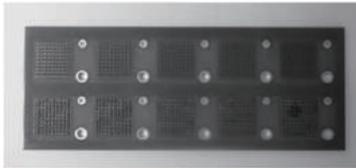


图13 试板外观

3.8 试板与PCB板比较

试板相关特征信息与PCB提供板比较见表4。

表4 试板相关特征信息与PCB提供板比较

项目	试板		PCB板	
	孔壁间距/mm	阻焊开窗工艺	孔环间距/ μm	板材
试板	0.2~0.65	不开窗	233	IT-180A
PCB	0.78	开窗（部分已掉阻焊桥）	236	FR4

如表4所示，对比试验试板与原PCB板，可发现主要的不同点在于阻焊开窗工艺以及板材的差异。在板材方面，可以选用电阻率比较高的材料，表5中列出了一些绝缘材料的电阻率，其板材以有机玻璃居多，有机玻璃价格便宜，同时有机玻璃相对较软，钻孔时有胀缩，探针套管与孔的结合紧密，由于有机玻璃是透明的置具，十分容易查找问题。

由于孔环间距（236 μm ）受该板制作时的阻焊桥工艺能力的限制较小，在开窗后出现掉桥的情况。

表5 某些绝缘材料的体积电阻率 ρ_v （20，空气中）

材料名称	$\rho_v/\Omega \cdot \text{cm}$
纯石蜡	10^{19}
聚乙烯	$10^{17} \sim 10^{18}$
石英玻璃	$10^{18} \sim 10^{19}$
白云母	$10^{16} \sim 10^{16}$
聚酯薄膜	$10^{16} \sim 10^{17}$
聚丙烯	10^{16}
有机玻璃	$10^{15} \sim 10^{16}$
三元乙丙橡胶	$10^{15} \sim 10^{16}$

3.9 无阻焊情况绝缘电阻组成分析

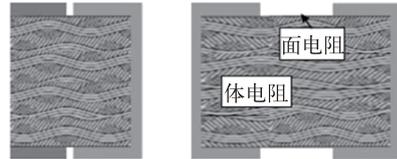


图14 无阻焊情况孔间绝缘电阻的组成

在无阻焊情况下，孔间绝缘电阻组成如图14所示，由此孔间的绝缘电阻可视为板材面电阻以及板材体电阻的并联电阻（此时由于没有阻焊保护，板材面电阻得到体现）。而一般情况下，板材的面电阻率小于阻焊的体电阻率以及面电阻率。由并联电阻的一般规律可知，并联电阻阻值更接近于各并联电阻中阻值最小者。因而，在失去阻焊保护的情况下，板材面电阻参与并联，孔间绝缘电阻下降。

4 综合分析

PCB板经150 $^{\circ}\text{C}$ 烘烤2 h干燥后测试绝缘电阻，测试结果显示均不满足漏电要求，因而排除板吸潮导致绝缘性能下降的可能。对比大焊盘与孔列间引线切断前后绝缘电阻的测量值，处理前后变化不大，因而判断绝缘性能较差位置出现在孔列位置。针对孔列位置进行以下排查：

(1) 内层导体间距：经切片分析发现孔列位置孔壁质量较好，间距约0.78 mm，未观察到明显灯芯现象。通过相关等效实验确认该间距下绝缘性能良好，因而排除内层导体间距过小导致绝缘性能下降的可能；

(2) 外层导体间距：切片分析发现外层孔环间距约0.25 mm，该间距下阻焊桥多数已脱落，由于失去阻焊保护，阻值较低的板材面电阻与绝缘电阻并联而使得孔间的绝缘电阻下降，最终导致了漏电超标的情况。

5 检测结论

（下转第33页）

- Feb. 1993. 11176-182.
- [11] Charles L Setiz. Deadlock free message routing in multiprocessor interconnection networks[J]. IEEE Transactions on Computers, 1987, 36(5): 546-553.
- [12] Steven L Scott, Greg Thorson. Optimized routing in the Cray T3D[M]. In proc. Of the First International Parallel Computer Routing and Communication Workshop, Seattle, May 1994. 281-294.
- [13] Jose Duato. A necessary and sufficient condition for deadlock-free routing in cut-through and store-and-forward networks[J]. IEEE Transactions on Parallel and Distributed Systems, 1996, 7(6): 841-854.
- [14] D H Lawrie. Access and alignment of data in an array processor[J]. IEEE Transactions on Computers, 1975, 24: 1145-1155.
- [15] Harold S Stone. Parallel processing with the perfect shuffle[J]. IEEE Transactions on Computers, 1971, 20(2): 153-161.
- [16] Allan Borodin, John E Hopcroft. Routing, merging, and sorting on parallel models of computation[J]. Journal of Computer and System Sciences, 1985, 30: 130-145.
- [17] L G Valiant, G J Brebner. Universal schemes for parallel communication[M]. In Proc. Of the ACM Symposium of the Theory of Computing, Milwaukee, Minn, 1981. 263-277.
- [18] Ted Nesson, S Lennart Johnsson. ROMM routing on mesh and torus networks[M]. In Proc. of the Symposium on Parallel Algorithms and Architectures, Santa Barbara, CA, 1995. 275-287.
- [19] Arjun Singh, William J Dally, Brian Towles, Amit K Gupta. Locality-preserving randomized oblivious routing on torus networks[M]. In Proc. Of the Symposium on Parallel Algorithms and Architectures, Winnipeg, Manitoba, Canada, Aug. 2002. 9-19.
- [20] Brian Towles, William J Dally. Worst-case traffic for oblivious routing functions[M]. In Proc. Of the Symposium on Parallel Algorithms and Architecture, Winnipeg, Manitoba, Canada, Aug. 2002. 1-8.
- [21] H Sullivan, T R Bashkow. A large scale, homogeneous, fully distributed parallel machine[M]. In proc Of the International Symposium on Computer Architecture, March 1977. 105-124.
- [22] W J Dally, B Towles. Principles and Practices of Interconnection Networks[M]. Morgan Kaufmann publishers, 2004. 182.
- [23] Charles E Leiserson, Zahi S Abuhamdeh, David C Douglas, Carl R Feynman, Mahesh N Ganmukhi, Jeffrey V Hill, W Daniel Hillis, Bradley C Kuszmaul, Margaret A St Pierre, David S Wells, Monica C Wong-chan, Shaw-Wen Yang, Robert Zak. The network architecture of the Connection Machine CM-5[J]. Journal of Parallel and Distributed Computing, 1996, 33(2): 145-158.
- [24] Ni L M, McKinley P K. A survey of wormhole routing techniques in direct networks[J]. IEEE Tran.-on - Computers, 1993, 23 (2): 62-76.



作者简介:

李天阳 (1977—), 男, 安徽天长人, 工作于中国电子科技集团公司第58研究所, 多年来一直从事集成电路设计方面的研究。

(上接第16页)

PCB板制作时受到阻焊桥工艺能力的限制, 孔环间阻焊桥脱落, 孔环间基材裸露, 最终导致该板绝缘性能较差, 漏电超标。

可通过放大孔环间距或者提高阻焊工艺能力的方法来保证阻焊桥的制作, 同时使用具有较高电阻率的材料, 从而提高PCB板的绝缘性能。

参考文献:

- [1] 史宏亮, 张东, 刘春来. 电路板故障诊断系统的快速控制原型方法研究[J]. 电子测试, 2013, 3: 87-89.
- [2] 汪飞, 李昕欣, 郭南翔, 等. MEMS悬臂梁式芯片测试探卡[J]. 传感技术学报, 2008: 420-423.

- [3] 王莉莉. 新的测试技术发展的产物——探针卡[J]. 轻工科技, 2012, 7: 96-97.
- [4] 王阳元, 关旭东, 等. 集成电路工艺基础[M]. 北京: 高等教育出版社, 1991.
- [5] GB/T10064—2006测定固体绝缘材料绝缘电阻的试验方法[S]. 2006.



作者简介:

顾吉 (1980—), 男, 江苏无锡人, 工程师, 硕士, 现在中国电子科技集团公司第58研究所从事器件测试工作。